

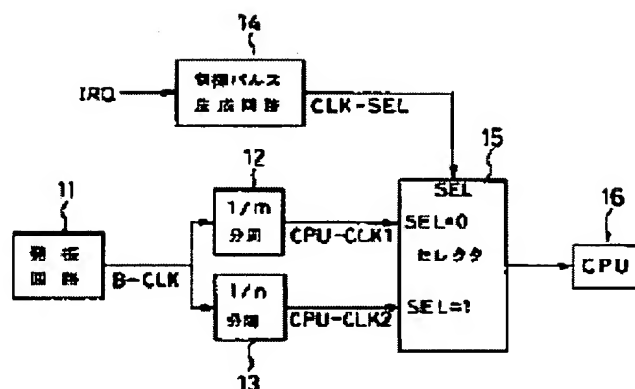
PORTABLE COMPUTER

Patent number: JP5108191
Publication date: 1993-04-30
Inventor: SAKAI MAKOTO
Applicant: TOSHIBA CORP
Classification:
 - International: G06F1/04
 - european:
Application number: JP19910264081 19911011
Priority number(s):

Abstract of JP5108191

PURPOSE: To actuate a CPU with slow CPU clock normally and to continuously actuate the CPU with a fast CPU clock only during an externally interrupt period and a prescribed period after this and when the interrupt occurs again during these periods.

CONSTITUTION: A frequency division circuit 12 generating a first CPU clock for the slow operation by dividing the frequency of a reference clock into $1/m$ (m : natural numbers), a second frequency division circuit 13 generating a second CPU clock for the fast operation by dividing the frequency of the reference clock into $1/n$ ($m > n$; n : natural numbers), and a control pulse generation circuit 14 re-triggerably and continuously outputting a switching pulse for the selected CPU clock selecting the second CPU clock during the prescribed period after the occurrence of the external interrupt is released since the occurrence of the interrupt.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-108191

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

G 0 6 F 1/04

識別記号

3 0 1 C 7368-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数9(全 6 頁)

(21)出願番号

特願平3-264081

(22)出願日

平成3年(1991)10月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 酒井 誠

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

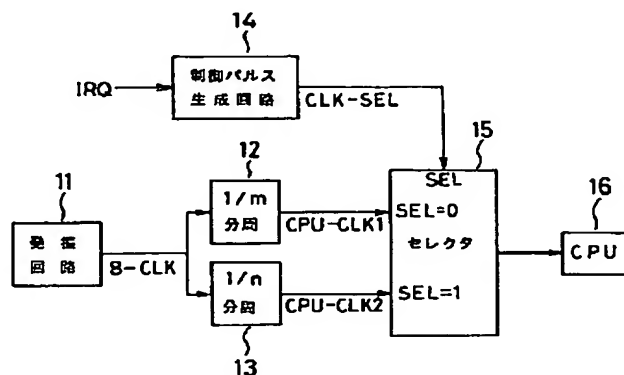
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ポータブルコンピュータ

(57)【要約】

【目的】本発明は、通常は遅いCPUクロックでCPUを動作させ、外部割り込み期間とその後の一定期間、及びその間の再度の割り込み発生に対し継続して、その期間のみ、速いCPUクロックでCPUを動作させることを特徴とする。

【構成】基本クロックを $1/m$ (m は自然数)に分周して、低速動作用の第1のCPUクロックを生成する第1の分周回路12と、基本クロックを $1/n$ (n は $m > n$ を満たす自然数)に分周して、高速動作用の第2のCPUクロックを生成する第2の分周回路13と、外部割り込みの発生から同割り込みの解除後一定期間経過まで、及びその間の外部割り込み要因の再度の発生に対しリトリガブルに継続して、第2のCPUクロックを選択するCPUクロックの切り替えパルス出力する制御パルス生成回路14を有してなることを特徴とする。



【特許請求の範囲】

【請求項1】 バッテリィで動作可能なポータブルコンピュータに於いて、基本クロックを生成する発振器と、上記基本クロックをもとに第1のCPUクロックを生成する第1のクロック生成回路と、

上記基本クロックをもとに上記第1のCPUクロックより周波数の高い第2のCPUクロックを生成する第2のクロック生成回路と、

CPUに対する外部割り込み要因の発生から同割り込み要因解除後一定期間経過まで、及びその間の外部割り込み要因の再度の発生に対しリトリガブルに継続して、CPUクロックの切り替えパルスを出力する制御パルス生成手段と、

上記切り替えパルスの非出力期間に上記第1のCPUクロックを選択し、上記切り替えパルスの出力期間に上記第2のCPUクロックを選択してCPUに供給する制御回路とを具備してなることを特徴とするポータブルコンピュータ。

【請求項2】 制御パルス生成手段は、外部割り込み要因によらず、第1、第2のクロック生成回路のいずれか一方を選択的に動作可能とする設定手段をもつ請求項1記載のポータブルコンピュータ。

【請求項3】 第1、第2のクロック生成回路は、分周率が有理数で定義される分周回路を用いて構成される請求項1記載のポータブルコンピュータ。

【請求項4】 第1、第2のクロック生成回路は、分周率を任意に設定可能な分周回路を用いて構成される請求項1記載のポータブルコンピュータ。

【請求項5】 制御パルス生成手段は、CPUに対する外部割り込み要因以外に、他の特定の条件が満たされることにより発生する要因によってもクロック切り替えパルスを生成する請求項1記載のポータブルコンピュータ。

【請求項6】 制御パルス生成手段は、複数の要因の組み合わせに対してそれぞれ独立に有効化、無効化できる選択手段をもつ請求項5記載のポータブルコンピュータ。

【請求項7】 制御パルス生成手段は、単一又は複数の要因それぞれに独立して、その要因の発生から動作開始までの時間を任意に設定できる請求項5記載のポータブルコンピュータ。

【請求項8】 制御パルス生成手段は、単一又は複数の要因それぞれに独立して、クロック切り替えパルスの持続時間を任意に設定できる請求項5記載のポータブルコンピュータ。

【請求項9】 制御パルス生成手段は、少なくとも第1又は第2のCPUクロックの周波数を複数の要因それぞれに独立して設定可能な請求項5記載のポータブルコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はバッテリーで動作可能なポータブルコンピュータに係るもので、特にCPUクロックの周波数を切り替えることで電力消費の削減を図るCPUクロック制御手段に特徴をもつポータブルコンピュータに関する。

【0002】

【従来の技術】バッテリーで動作可能なポータブルコンピュータに於いては、無駄な電力消費を回避して、バッテリーによる動作持続時間をより長く確保すべく種々の少電力化対策がなされる。その少電力化対策の一つにCPUクロック（CPUの動作クロック）を機器状態等に応じて切り替える手段が挙げられる。即ち、CPUの消費電力はクロック周波数に比例し、周波数の低い、即ち遅いクロックで動作させるほど消費電力が減少する。しかしながらCPUクロックを遅くすると当然のことながらプログラム処理速度が低下し、CPUがもつ本来の性能を十分に発揮することができない。

【0003】又、常に遅いCPUクロックで動作させると、プログラムによっては正しく実行できないものもある。特に通信関係は処理速度が遅いとデータのやりとりができなくなってしまう可能性が強い。更に、処理速度が遅いと、マウスカーソルの移動等も追従性が悪くなってしまう。従ってCPUクロックの切り替え制御はそのときの動作状態に連動することが望ましい。

【0004】この種、CPUクロックの切り替え制御機能を実現した従来技術に、CPUがHALT状態に移行することで、外部回路によりCPUの動作クロックを停止あるいは遅くする所謂CPUスリープ方式が存在する。

【0005】しかしながら、この種、CPUスリープ方式は、CPUがHALT命令を実行しない限りHALT状態には移行しない。通常はBIOSが必要に応じてHALT命令を実行させるが、一般的にポータブルコンピュータはどのようなプログラムをも実行できるので、BIOSを経由しない場合もあり得る。このような状態ではHALT命令は実行されず、CPUの動作クロックは制御できない。また、例えばBIOSがHALT命令を実行できる環境にあっても、実際にHALT命令を実行する機会はそう多くはない。つまり本当にCPUが動作しなくてもよい機会はあまり無いので、このHALT命令によるCPUスリープ方式での消費電力の削減はさほど期待できない。

【0006】

【発明が解決しようとする課題】上述したように、従来のHALT命令によるCPUスリープ方式は、実際の使用面で、消費電力の低減化に対して、さほど大きな期待がもてないという問題があった。

【0007】本発明は上記実情に鑑みなされたもので、操作性を損なうことなく、又、正常な処理動作を維持し

つつ、簡単なロジック構成にて、CPUの消費電力を効果的に低減でき、バッテリー動作時間を延長できるポータブルコンピュータを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、低速CPUクロック、及び高速CPUクロックの生成手段と、CPUに対する外部割り込み要因の発生から同割り込み要因解除後一定期間経過まで、及びその間の外部割り込み要因の再度の発生に対しリトリガブルに継続して、低速CPUクロックに代え、高速CPUクロックをCPUに供給するクロック切り換え制御回路とを有して、通常は遅いCPUクロックでCPUを動作させ、外部割り込み期間とその後の一定期間は速いCPUクロックでCPUを動作させることを特徴とする。

【0009】

【作用】本発明は、通常は遅いCPUクロックでCPUを動作させ、外部割り込み期間とその後の一定期間は速いCPUクロックでCPUを動作させることにより、例えばマウスカーソルの追従性を損なわず、又、通信処理でのデータ欠落等の不都合を回避して、CPUの消費電力を効率良く低減でき、もってバッテリー動作時間を延長できる。

【0010】

【実施例】以下図面を参照して本発明の一実施例を説明する。図1は本発明の一構成例を示すブロック図である。図1に於いて、11は一定周波数の基本クロック(B-CLK)を生成する発振回路である。

【0011】12は上記発振回路11より出力される基本クロックを分周して第1のCPUクロックを生成する第1の分周回路であり、基本クロック(B-CLK)を $1/m$ (m 分の一;但し m は自然数)に分周して、低速動作の第1のCPUクロック(CPU-CLK1)を生成する。

【0012】13は上記発振回路11より出力される基本クロックを分周して第2のCPUクロックを生成する第2の分周回路であり、基本クロック(B-CLK)を $1/n$ (n 分の一;但し n は $m > n$ を満たす自然数)に分周して、高速動作の第2のCPUクロック(CPU-CLK2)を生成する。

【0013】14はCPUに対する外部割り込み(I R Q)の発生から同割り込みの解除後一定期間経過まで、及びその間の外部割り込みの再度の発生に対しリトリガブルに継続して、CPUクロックの切り替えパルス(CLK-SEL)を出力する制御パルス生成回路であり、CPUに対する外部割り込み(I R Q)の発生をトリガとしてクロック切り替えパルス(CLK-SEL)を発生し、外部割り込み(I R Q)が解除された後もクロック切り替えパルス(CLK-SEL)を一定期間発生し続け、さらにその期間内に再び外部割り込み(I R Q)が発生すると再トリガされる。

【0014】15は上記制御パルス生成回路14より生成されたクロック切り替えパルス(CLK-SEL)に従い、第1のCPUクロック(CPU-CLK1)、又は第2のCPUクロック(CPU-CLK2)のいずれか一方を選択してCPU16に供給するセクタであり、上記制御パルス生成回路14よりクロック切り替えパルスが出力されていないとき(CLK-SEL="0")、第1の分周回路12から出力される第1のCPUクロック(CPU-CLK1)を選択し、上記制御パルス生成回路14よりクロック切り替えパルスが出力されているとき(CLK-SEL="1")、第2の分周回路13から出力される第2のCPUクロック(CPU-CLK2)を選択する。

【0015】16は上記セクタ15で選択されたCPUクロック(CPU-CLK1/CPU-CLK2)を動作の基本クロックとするCPUであり、外部割り込み要因に従う処理を含む各種のプログラム処理を実行する。

【0016】図2は上記実施例の動作を説明するためのタイムチャートであり、同図(a)は制御パルス生成回路14を起動するための外部割り込み要因(I R Q)の発生状態(発生時="1")を示し、同図(b)は同図(a)の外部割り込み要因(I R Q)に従い制御パルス生成回路14で生成されるクロック切り替えパルス(CLK-SEL)の状態を示し、同図(c)は同図(b)のクロック切り替えパルス(CLK-SEL)に従いセクタ15より選択されるCPUクロックの切り替え状態を示す。ここで、上記図1及び図2を参照して、本発明の一実施例に於ける動作を説明する。

【0017】第1の分周回路12は発振回路11より出力される基本クロック(B-CLK)を $1/m$ に分周して、低速動作の第1のCPUクロック(CPU-CLK1)を生成し、第2の分周回路13は上記発振回路11より出力される基本クロック(B-CLK)を $1/n$ に分周して、高速動作の第2のCPUクロック(CPU-CLK2)を生成する。CPU16は、通常、第1の分周回路12で生成される、基本クロック(B-CLK)を $1/m$ に分周したCPUクロックを受けて動作している。

【0018】即ち、外部割り込み要因(I R Q)が発生していない通常の状態では、セクタ15が第1の分周回路12で生成された第1のCPUクロック(CPU-CLK1)を選択しCPU16に供給している。従って、この際は、CPU16が第1の分周回路12で生成された第1のCPUクロック(CPU-CLK1)に従い低電力消費モードで処理動作を実行している。

【0019】ここで、CPU16への外部割り込み(I R Q)が発生すると(図2(a)参照)、同割り込みの発生に伴い制御パルス生成回路14がトリガされて、上記したような予め定められた期間に亘りクロック切り替え

パルス (CLK-SEL = "1") を出力する (図2 (b) 参照)。

【0020】このクロック切り替えパルス (CLK-SEL = "1") によりセクタ15は、第1の分周回路12で生成された第1のCPUクロック (CPU-CLK1) に代わって、第2の分周回路13で生成される、基本クロック (B-CLK) を $1/n$ に分周した第2のCPUクロック (CPU-CLK2) を選択し、CPU16へ供給する (図2 (c) 参照)。

【0021】ここで、上記セクタ15の選択対象となるCPUクロック (CPU-CLK1, CPU-CLK2) を生成する第1, 第2の分周回路12, 13に於いて、それぞれの分周率の m , n の関係を、例えば、 $m=8$, $n=1$ とすれば、通常、CPU16は基本クロック (B-CLK) の $1/8$ (8分の一) の周波数による第1のCPUクロック (CPU-CLK1) で動作しており、外部割り込み (IRQ) が発生すると、CPU16は基本クロック (B-CLK) と同一周波数の第2のCPUクロック (CPU-CLK2) で動作するようになる。

【0022】即ち、通常、CPU16は低速CPUクロックを受けて遅い動作をしており、消費電力も少ない。外部割り込み (IRQ) の発生により、CPU16は高速CPUクロックを受けて速い動作に切り替わり、このときは消費電力も増加するが、外部割り込み (IRQ) の発生頻度はそう多くはないので、平均すると消費電力は少なく済む。CPU16の動作が遅いということは、処理能力も落ちるということであるが、高速動作を要求される、例えば通信処理や、マウスカーソルの移動などは、外部割り込みにより起動されるので、動作上及び操作上等の不都合な問題は発生しない。この外部割り込み (IRQ) と、制御パルス生成回路14より出力されるクロック切り替えパルス (CLK-SEL) との関係を図2に示す。

【0023】図2 (a) に示す、外部割り込み (IRQ) の発生により、制御パルス生成回路14がトリガされて、図2 (b) に示すクロック切り替えパルス (CLK-SEL = "1") を発生する。外部割り込み (IRQ) が解除された後も4msの間、クロック切り替えパルス (CLK-SEL = "1") は発生し続け、4ms経過後、解除される ("1" → "0")。但し、この間 (4ms内) に再び外部割り込み (IRQ) が発生すると、制御パルス生成回路14はリトリガされ、クロック切り替えパルス (CLK-SEL = "1") は発生し続ける。

【0024】外部割り込み (IRQ) は、例えば8086系のCPUでは、PIC (8259) からのINTRリクエストとして与えられる。これによりCPUの割り込みルーチンが起動され、その割り込みルーチン内でPICに対してINTRリクエストの解除を行なう。但し

INTRリクエストの解除は割り込みルーチンの最後で行なうとは限らないので、この実施例では4msの間、クロック切り替え期間を延長している。外部割り込みは上記INTRリクエスト以外にも、NMIリクエストやSMIリクエスト (386SL) 等によっても発生するが、考え方は上記INTRリクエストのときと同様である。

【0025】上記実施例では、説明を簡素にするため、単に制御パルス生成回路14からのクロック切り替えパルス (CLK-SEL) によって、第1の分周回路12から出力される第1のCPUクロック (CPU-CLK1) と第2の分周回路13から出力される第2のCPUクロック (CPU-CLK2) とを切り替える構成を例にとったが、次のような各種の応用例が考えられる。

【0026】a). 制御パルス生成回路14に、その動作を許可するイネーブル信号を1入力条件信号として設けることにより、イネーブル信号が入力されない動作禁止 (ディセーブル状態) 時には、外部割り込み (IRQ) によるトリガが発生しても制御パルス生成回路14が働かず、従ってCPU16は、固定化された常に一定周波数のCPUクロックを受けて動作する。

【0027】b). 分周比が有理数で定義されるような第1, 第2の分周回路にて、第1, 第2のCPUクロック (CPU-CLK1, CPU-CLK2) を得ることにより、CPUクロックの切り替えに伴う同期性を容易に保つことができる。

【0028】又、この際、分周比をレジスタにより任意に設定できるような分周回路を持つ構成とすることにより、例えば各レジスタに同じ値を設定することで、上記a) 項で述べたようなイネーブル信号を用いなくとも、実質的にクロック切り替えは起こらず、任意にCPUクロックを固定化できる。

【0029】又、上記制御パルス生成回路14に於いて、トリガの発生から動作を開始するまでの遅延時間、クロック切り替えパルスの持続時間等をそれぞれレジスタにより任意に設定できる構成とすることにより、より円滑な効率の良いCPUクロックの切り替え制御を行なうことができる。

【0030】c). 制御パルス生成回路14は、CPU16に対する外部割り込み (IRQ) を原因として発生するトリガのみならず、他の特定の条件が満たされることにより発生するトリガによってもパルス生成動作する構成とすることにより、任意の特定の条件下で高速CPUクロックによる処理動作を実行できる。

【0031】又、制御パルス生成回路14に、複数のトリガの組み合わせをそれぞれ独立に許可・禁止できるような機能回路、各トリガ毎に独立してトリガ発生からの遅延時間が設定できる機能回路、各トリガ毎に独立してクロック切り替えパルスの持続時間が設定できる機能回路、各トリガ毎に独立して分周比が設定できる機能回路

等を必要に応じて設けることにより、機能性及び信頼性を重視した効率の良いCPUクロックの切り替え制御機構が実現できる。

【0032】

【発明の効果】以上詳記したように本発明によれば、バッテリーで動作するポータブルコンピュータに於いて、CPUの動作クロックを生成するための基本クロックを発生する発振回路と、同発振回路が発生する基本クロックを $1/m$ (m =自然数)に分周して第1のCPUクロックを生成する第1の分周回路と、上記発振回路が発生する基本クロックを $1/n$ ($n=m>n$ を満す自然数)に分周して上記第1のCPUクロックより周波数の高い第2のCPUクロックを生成する第2の分周回路と、CPUに対する外部割り込み要因の発生をトリガとしてクロックに切り替えパルスが発生し、上記外部割り込み要因が解除された後も上記クロック切り替えパルスを一定期間発生し続け、さらにその期間内に再び上記外部割り込みが発生すると再トリガされ、その状態を継続する制御パルス生成回路と、同制御パルス生成回路が出力するクロック切り替えパルスが発生していないときは上記第1のCPUクロックを選択出力し、上記パルス発生器よりクロック切り替えパルスが発生しているときは上記第2のCPUクロックを選択出力するセレクタと、同セレク

タの出力信号を動作の基本クロックとするCPUとを具備し、通常は第1の分周回路が出力する第1のCPUクロックをCPUに供給し、外部割り込みが発生すると、第2の分周回路が出力する第2のCPUクロックを上記期間に亘ってCPUに供給する構成として、通常は遅いCPUクロックでCPUを動作させ、外部割り込み期間とその後の一定期間だけ速いCPUクロックでCPUを動作させることにより、例えばマウスカーソルの追従性を損なわず、又、通信処理でのデータ欠落等の不都合を回避して、CPUの消費電力を効率良く低減でき、もってバッテリー動作時間を延長できる。

【図面の簡単な説明】

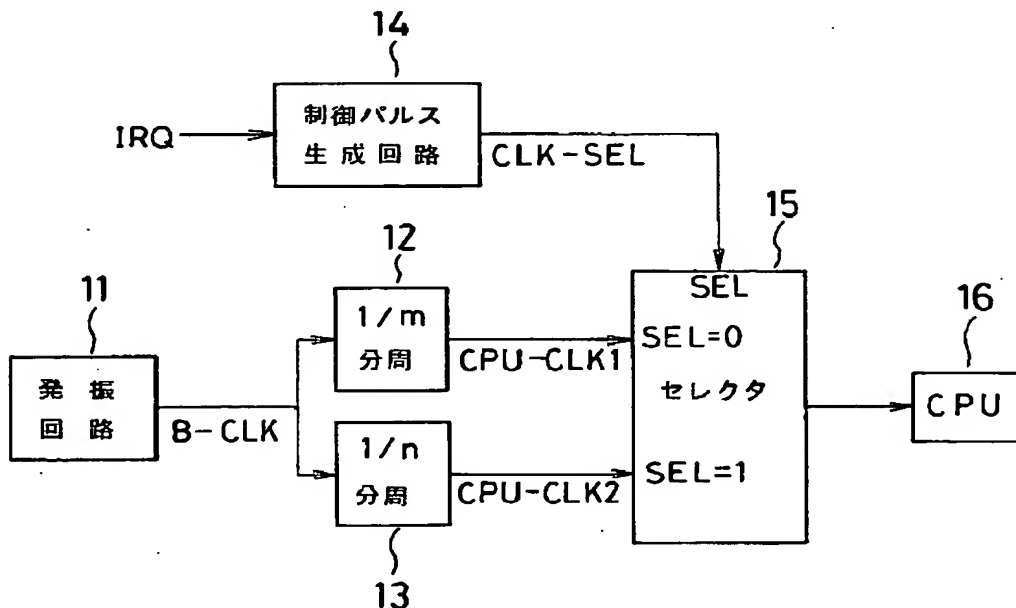
【図1】本発明の一実施例を示すブロック図。

【図2】図1に示す実施例の動作を説明するためのタイムチャート。

【符号の説明】

11…発振回路、12…第1の分周回路、13…第2の分周回路、14…制御パルス生成回路、15…セレクタ、16…CPU、B-CLK…基本クロック、CPU-CLK1…低速動作用の第1のCPUクロック、CPU-CLK2…高速動作用の第2のCPUクロック、IRQ…外部割り込み、CLK-SEL…クロックの切り替えパルス。

【図1】



【図2】

